



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: )  
DE LAURENTIIS ET AL. )  
 )  
Serial No. 10/679,943 )  
 )  
Confirmation No. 3592 )  
 )  
Filing Date: October 6, 2003 )  
 )  
For: METHOD AND AMPLIFICATION )  
CIRCUIT WITH PRE-EMPHASIS )  
 )


TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

MS MISSING PARTS  
COMMISSIONER FOR PATENTS  
P.O. BOX 1450  
ALEXANDRIA, VA 22313-1450

Sir:

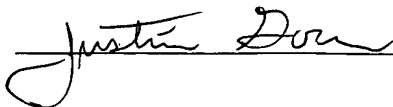
Transmitted herewith is a certified copy of the  
priority Italian Application No. VA2002A000050.

Respectfully submitted,

  
MICHAEL W. TAYLOR  
Reg. No. 43,182  
Allen, Dyer, Doppelt, Milbrath  
& Gilchrist, P.A.  
255 S. Orange Avenue, Suite 1401  
Post Office Box 3791  
Orlando, Florida 32802  
Telephone: 407/841-2330  
Fax: 407/841-2343  
Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being  
deposited with the United States Postal Service as first class  
mail in an envelope addressed to: MS MISSING PARTS,  
COMMISSIONER FOR PATENTS, P.O. BOX 1450, ALEXANDRIA, VA 22313-  
1450, on this 9<sup>th</sup> day of February, 2004.

  
\_\_\_\_\_



*Ministero delle Attività Produttive*  
*Direzione Generale per lo Sviluppo Produttivo e la Competitività*  
*Ufficio Italiano Brevetti e Marchi*  
*Ufficio G2*



Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. VA2002 A 000050

*Si dichiara che l'unita' copia è conforme ai documenti originali  
depositati con la domanda di brevetto sopraspecificata, i cui dati  
risultano dall'accluso processo verbale di deposito.*

Roma, li 11 AGO. 2003

IL DIRIGENTE

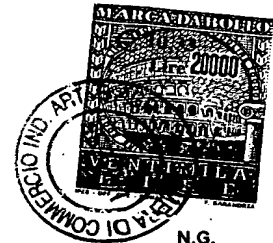
*Elena Marinelli*  
Sig.ra E. MARINELLI

## AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO



## A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics S.r.l. codice 00951900968 N.G. SR  
 Residenza Agrate Brianza (MI)  
 2) Denominazione \_\_\_\_\_ codice \_\_\_\_\_  
 Residenza \_\_\_\_\_ codice \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome Pellegrini Alberto ed altri cod. fiscale \_\_\_\_\_  
 denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.  
 via Piazza Repubblica n. 5 città VARESE cap 21100 (prov) VA

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_  
 classe proposta (sez/cl/sci) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_ / \_\_\_\_\_

## D. TITOLO

"METODO E CIRCUITO DI AMPLIFICAZIONE CON PRE-ENFASI"ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_\_ / \_\_\_\_\_ / \_\_\_\_\_

N. PROTOCOLLO \_\_\_\_\_

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) DE LAURENTIIS Pierpaolo 3) CATTANEO Claudio  
 2) TOMASINI Luciano 4) \_\_\_\_\_

## F. PRIORITA'

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato S/R

SCIOGLIMENTO RISERVE

Data

N° Protocollo

1) \_\_\_\_\_ / \_\_\_\_\_ / \_\_\_\_\_  
 2) \_\_\_\_\_ / \_\_\_\_\_ / \_\_\_\_\_

## G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV ☐ n. pag. 14  
 Doc. 2) 2 PROV ☐ n. tav. 3  
 Doc. 3) 1 RIS ☐  
 Doc. 4) 0 RIS ☐  
 Doc. 5) 0 RIS ☐  
 Doc. 6) 0 RIS ☐  
 Doc. 7) 0

riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)  
 disegno (obbligatorio se citato in descrizione, 1 esemplare)  
 lettera d'incarico  
 designazione inventore  
 documenti di priorità con traduzione in italiano  
 autorizzazione o atto di cessione  
 nominativo completo del richiedente

SCIOGLIMENTO RISERVE

Data

N° Protocollo

confronta singole priorità

8) attestati di versamento, totale lire CENTOOTTANTOTTO/51 obbligatorioCOMPILATO IL 04 / 10 / 2002

FIRMA DEL (I) RICHIEDENTE (I)

Il Mandatario

Alberto PELLEGRINI

N° Iscr. Albo 114 BM

CONTINUA (S/NO) NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (S/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI \_\_\_\_\_

VARESEcodice 12

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

VA/2002/A/0050

Reg. A

L'anno duemiladue, il giorno QUATTRO del mese di OTTOBRE  
 Il (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

## ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

NESSUNA

IL DEPOSITANTE

LUISELLA NERO

timbro del ufficio

L'UFFICIALE ROGANTE

LUISA DE ZORZI

## RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE

NUMERO DOMANDA **VA/2002/IA/0050** REG. A

NUMERO BREVETTO

DATA DI DEPOSITO

**24 OTT 2002**

DATA DI RILASCIO

## A. RICHIEDENTE (I)

Denominazione

**STMicroelectronics S.r.l.**

Residenza

**Agrate Brianza (MI)**

## D. TITOLO

**"METODO E CIRCUITO DI AMPLIFICAZIONE CON PRE-ENFASI"**

Classe proposta (sez./cl./scl/)

(gruppo/sottogruppo)

## L. RIASSUNTO

Un metodo di amplificazione con pre-enfasi di un segnale digitale è implementato da un driver con pre-enfasi che non presenta problemi di sincronizzazione, perché combina il segnale da trasmettere con una sua replica ritardata e non ha sotto-circuiti da connettere e disconnettere ad ogni variazione del segnale digitale.

Ciò viene ottenuto con le operazioni di:

- amplificare il segnale digitale con un primo guadagno, generando un segnale replica amplificata;
- ritardare il segnale digitale di un certo tempo prestabilito, generando un segnale replica ritardata;
- amplificare il segnale replica ritardata con un secondo guadagno generando un segnale replica ritardata e amplificata;
- generare un segnale di uscita come differenza tra il segnale replica amplificata e il segnale replica ritardata e amplificata.

## M. DISEGNO

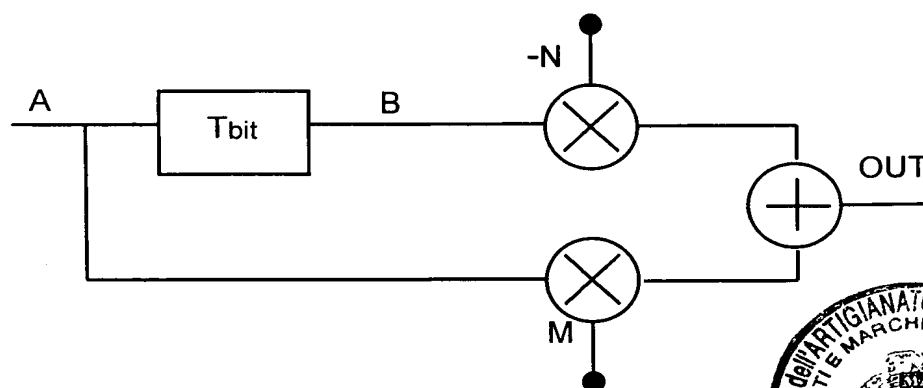


FIG. 3



VA/ 2002 /A/ 0050  
4 OTT. 2002

Titolare: STMicroelectronics S.r.l.

## **“METODO E CIRCUITO DI AMPLIFICAZIONE CON PRE-ENFASI”**

### **CAMPO DELL'INVENZIONE**

La presente invenzione concerne in generale gli stadi di uscita di circuiti elettronici e più in particolare un metodo ed un relativo circuito di amplificazione con pre-enfasi di segnali da produrre in uscita.

### **BACKGROUND DELL'INVENZIONE**

In gran parte dei sistemi elettronici la velocità dei collegamenti è un parametro fondamentale fra quelli che ne determinano le prestazioni generali. Per quanto riguarda i sistemi su silicio, la gestione dei segnali elettrici off-chip, rispetto a quelli on-chip, è sempre stata più delicata.

L'esigenza di raggiungere elevatissime frequenze di comunicazione in maniera affidabile ha portato, nel passato, all'abbandono dei segnali CMOS full-swing (cioè che variano dalla tensione di alimentazione negativa  $-V_{ss}$  alla tensione di alimentazione positiva  $V_{dd}$ ). Ciò è motivato dal fatto che è estremamente problematico produrre tali segnali in uscita dal circuito, soprattutto quando essi devono transitare su una lunga pista su scheda e/o attraverso un lungo cavo con adattamento ad un basso valore d'impedenza.

Si è quindi passati a generare i segnali di uscita in modo differenziale, su linee adattate, sfruttando una dinamica ridotta ad uno standard di soli 350mV per singolo segnale. È così possibile trasferire dati a velocità più alta riducendo le interferenze e il consumo di potenza, e, al contempo, migliorare la reiezione rispetto ai rumori di modo comune.

Un esempio di tale tecnica è quella detta LVDS (Low Voltage Differential Signals) e in Fig. 1 è mostrato uno schema di principio di una

VA/ 2002 /A/ 0050

4 OTT. 2002

cella standard LVDS, il cui funzionamento è ben noto.

All'aumentare della frequenza (oltre 1GHz) diventa rilevante un altro inconveniente: a causa dell'effetto pelle nei conduttori, la resistenza degli stessi aumenta con una legge non lineare all'aumentare della frequenza, causando un'attenuazione anch'essa non lineare con la frequenza.

In aggiunta a ciò, dato che spesso i costruttori di apparati per telecomunicazioni tendono ad usare o vecchie schede aggiornate solo nell'elettronica e/o materiali di bassa qualità per realizzare queste schede a costi minimi, si hanno anche attenuazioni rilevanti causate dagli isolanti all'aumentare della frequenza.

Questi inconvenienti sono stati finora risolti con due tecniche che possono essere usate da sole o congiuntamente: equalizzazione adattativa della linea e pre-enfasi del segnale da trasmettere.

La prima tecnica consiste nell'utilizzare uno stadio il cui guadagno è variabile in frequenza in modo tale da compensare le perdite nella linea.

L'articolo di J.Y. Sim et al. "A CMOS Transceiver for DRAM Bus System With a Demultiplexed Equalization Scheme", *IEEE J. Solid-State Circuits*, vol. 37, pp. 245-250, Feb. 2002, descrive un transceiver equalizzato utilizzando un particolare schema di equalizzazione per ridurre l'interferenza intersimbolica.

L'equalizzazione adattativa però, oltre a richiedere circuiti più complessi, presenta lo svantaggio di peggiorare sensibilmente il rapporto segnale rumore.

La tecnica della pre-enfasi invece consiste nel variare il contenuto spettrale del segnale trasmesso in modo da ottenere una funzione di



VA/ 2002 /A/ 0 0 5 0

trasferimento della cascata tra la rete di pre-enfasi e la linea di trasmissione che abbia un andamento pressoché costante in frequenza nella banda di interesse. Quando questa attenuazione è relativamente bassa, è sufficiente un'amplificazione di pre-enfasi solo durante o anche subito dopo i transistori di commutazione dei segnali da produrre in uscita. 4 OTT. 2002

I documenti US 6,288,581 di A.Y. Wong e US 6,281,715 di L.W. DeClue et al. divulgano dei driver LVDS con pre-enfasi. Sostanzialmente si tratta di circuiti che amplificano un segnale digitale da trasmettere con un guadagno più elevato quando si verifica una commutazione del segnale digitale, rispetto al guadagno usato quando il segnale ha esaurito il transitorio di commutazione e assume valore costante.

Il primo documento mostra un driver LVDS con pre-enfasi avente due celle standard LVDS, mostrate in Fig. 2, fornite di transistori di abilitazione 44, 54; 24, 34 e con i nodi di uscita connessi tramite degli interruttori 60 e 62. Quando il segnale da trasmettere resta costante, il segnale differenziale di uscita VOP, VON viene generato solo da una cella LVDS. Al verificarsi di una commutazione del segnale da trasmettere, rappresentato dalla coppia differenziale V+, V-, gli interruttori 60 e 62 vengono chiusi e restano in conduzione per tutta la durata del transitorio, in modo che le due celle standard LVDS concorrano nel generare il segnale differenziale di uscita VOP, VON.

Questa tecnica presenta però il problema di sincronizzare l'accensione degli interruttori 60 e 62 con i fronti di commutazione del segnale da trasmettere, problema che è ulteriormente complicato dal ritardo di accensione degli interruttori.



VA/ 2002 /A/ 0 0 5 0

4 OTT. 2002

Il secondo documento mostra un driver con pre-enfasi a singolo stadio di uscita con due specchi di corrente, di cui uno polarizza sempre lo stadio di uscita mentre l'altro viene connesso solo se il relativo circuito di controllo rileva una commutazione del segnale da trasmettere.

In questo caso c'è il problema di sincronizzare l'accensione del secondo specchio di corrente con i fronti di commutazione del segnale da trasmettere, con conseguente limitazione della velocità di trasmissione.

#### SCOPO E SOMMARIO DELL'INVENZIONE

È stato trovato ed è l'oggetto dell'invenzione un metodo di amplificazione con pre-enfasi e un relativo circuito che supera brillantemente i citati problemi di sincronizzazione, mostrando prestazioni migliori degli attuali circuiti che usano la tecnica della pre-enfasi.

L'aspetto cruciale dell'invenzione consiste nel fatto che è possibile aumentare il guadagno di amplificazione ad ogni fronte di variazione mediante un driver con pre-enfasi che combini il segnale da trasmettere con una sua replica ritardata e che non abbia sotto-circuiti da connettere e disconnettere ad ogni variazione del segnale da trasmettere.

Più precisamente, oggetto dell'invenzione è un metodo di amplificazione con pre-enfasi di un segnale digitale rappresentativo di un dato da trasmettere mediante un driver con pre-enfasi il cui guadagno può variare da un valore superiore ad un valore inferiore prestabiliti e viceversa comprendente le operazioni di:

- variare il guadagno del driver con pre-enfasi impostandolo a un valore superiore in corrispondenza di ogni transitorio di commutazione del segnale e riducendolo al valore inferiore quando il transitorio è esaurito,



VA/ 2002 /A/ 0 0 5 0

- generare un segnale di uscita su una linea di uscita del driver, 4 OTT. 2002  
amplificando il segnale digitale con il driver con pre-enfasi.

Il metodo dell'invenzione risolve i citati problemi di sincronizzazione dei metodi noti perché la variazione del guadagno è effettuata mediante le seguenti operazioni:

- amplificare il segnale digitale con un primo guadagno generando un segnale replica amplificata;
- ritardare il segnale digitale di un certo tempo prestabilito, generando un segnale replica ritardata;
- amplificare il segnale replica ritardata con un secondo guadagno generando un segnale replica ritardata e amplificata;
- generare il segnale di uscita come differenza tra il segnale replica amplificata e il segnale replica ritardata e amplificata.

Il metodo dell'invenzione è implementato da un circuito di amplificazione con pre-enfasi, preferibilmente realizzato per trasmettere segnali con la tecnica LVDS.

L'invenzione è più precisamente definita nelle annesse rivendicazioni.

#### BREVE DESCRIZIONE DEI DISEGNI

I diversi aspetti e vantaggi dell'invenzione risulteranno ancor più evidenti attraverso una descrizione dettagliata facendo riferimento ai disegni allegati, in cui

la **Figura 1** mostra una cella standard LVDS;

la **Figura 2** mostra due celle standard LVDS di un noto driver di amplificazione con pre-enfasi;

la **Figura 3** illustra uno schema di principio del circuito di amplificazione



VA/ 2002 /A/ 0 0 5 0

4 OTT. 2002

con pre-enfasi dell'invenzione;

la **Figura 4** mostra andamenti del segnale da trasmettere e del segnale di uscita che illustrano il funzionamento del circuito di Fig. 3;

la **Figura 5** mostra due celle standard LVDS del driver con pre-enfasi di un circuito di amplificazione dell'invenzione;

la **Figura 6** mostra una realizzazione preferita di un circuito di generazione del segnale da trasmettere del circuito di amplificazione con pre-enfasi dell'invenzione.

#### DESCRIZIONE DI UNA FORMA DI REALIZZAZIONE DELL'INVENZIONE

L'idea alla base della presente invenzione è quella di generare il segnale di uscita come somma algebrica pesata del segnale da trasmettere e di una sua replica ritardata.

Si faccia riferimento alla Fig. 3, che illustra uno schema di principio del circuito di amplificazione con pre-enfasi della presente invenzione, in cui si è indicato con A il segnale digitale da trasmettere e con OUT il segnale di uscita, che possono essere sia un segnale full-swing che un segnale LVDS. Il segnale di uscita OUT è ottenuto come differenza tra una replica amplificata con guadagno M del segnale da trasmettere, e una replica amplificata con un guadagno N di una versione ritardata B del segnale A, essendo N minore di M.

Il circuito illustrato non ha sotto-circuiti commutati ad ogni variazione del segnale A ed amplifica il segnale digitale A con un guadagno maggiore in corrispondenza dei suoi transistori di commutazione rispetto al guadagno di amplificazione quando il segnale da trasmettere è costante.

Questo fatto è chiaramente rilevabile guardando i diagrammi di Fig. 4.

VA/ 2002 /A/ 0 0 5 0

4 OTT 2002

Il segnale digitale A può assumere solo un valore alto (+1) e un valore basso (-1). Può aversi una delle seguenti situazioni:

- se il dato A è stabile al suo livello alto +1, il segnale di uscita OUT è stabile al livello M-N;
- se il dato A è stabile al suo livello basso -1, il segnale di uscita OUT è stabile al livello -(M-N);
- se il dato A transita dal suo livello basso al livello alto, il segnale di uscita OUT si porta al livello M+N. Trascorso un tempo pari al ritardo introdotto TBIT senza che avvenga un'altra transizione, il segnale di uscita OUT si porta al livello M-N;
- se il dato A transita dal suo livello alto al livello basso, il segnale di uscita OUT si porta al livello -(M+N). Trascorso un tempo pari al ritardo introdotto TBIT senza che avvenga un'altra transizione, il segnale di uscita OUT si porta al livello -(M-N).

Con il circuito descritto si ottiene quindi la desiderata azione di pre-enfasi senza i problemi di sincronizzazione dei noti circuiti di amplificazione con pre-enfasi e senza le indesiderate attenuazioni che caratterizzano i circuiti che implementano la tecnica dell'equalizzazione adattativa.

Secondo la forma di realizzazione preferita, il circuito di amplificazione con pre-enfasi comprende un driver LVDS che genera il segnale di uscita OUT come coppia differenziale di segnali VO, VON.

Una realizzazione preferita di un driver LVDS del circuito dell'invenzione è illustrata in modo essenziale in Fig. 5, in cui AN e BN sono le repliche negate rispettivamente dei segnali A e B. Il driver LVDS è sostanzialmente costituito da due celle LVDS standard aventi le uscite in

VA/ 2002 /A/ 0 0 5 0

4 OTT. 2002

comune, in cui la cella ricevente in ingresso il segnale A e la sua replica negata AN è polarizzata con una corrente M volte maggiore di una certa corrente di riferimento, mentre l'altra cella che riceve in ingresso il segnale B e la sua replica negata BN è polarizzata con una corrente N volte maggiore di tale corrente di riferimento.

Rispetto al circuito noto di Fig. 2, il driver LVDS dell'invenzione non ha gli interruptori 60 e 62 e le due celle ricevono i segnali A e B in modo da produrre una coppia differenziale di segnali di uscita VO, VON rappresentativa della differenza  $M \cdot A - N \cdot B$ .

I segnali A e B e le rispettive repliche negate sono prodotte, in funzione di un certo dato DATUM da trasmettere, da un circuito di generazione come quello mostrato in Fig. 6. Esso è sostanzialmente costituito da due rami identici in parallelo ricevanti rispettivamente il dato DATUM e una sua replica negata. Ciascun ramo ha un flip-flop di tipo D generante il segnale digitale A o AN, e un circuito ritardatore in cascata, che nel caso esemplificato in figura è un altro flip-flop di tipo D, generante il segnale B o BN.

Gli impulsi inviati sull'ingresso di temporizzazione CK dei flip-flop possono essere derivati da un segnale di clock con cui è generato il segnale digitale. In questo modo i segnali AN e BN sono ritardati di un tempo corrispondente ad un solo bit del segnale digitale A.

Preferibilmente, i flip.flop ricevono al loro ingresso CK un segnale di temporizzazione esterno la cui frequenza può anche essere multipla di quella del segnale di clock con cui viene generato il segnale digitale. In questo modo è possibile ritardare i segnali AN e BN di un tempo che può essere





VA/ 2002 /A/ 0 0 5 0

anche inferiore al tempo corrispondente ad un bit del segnale digitale. 4 OTT. 2002

In alternativa, il circuito ritardatore può anche essere un qualsiasi circuito analogico che garantisca un ritardo che sia stabile e controllabile con precisione.

XX

VA/ 2002 /A/ 0 0 5 0

**RIVENDICAZIONI**      4 OTT. 2002

1. Metodo di amplificazione con pre-enfasi di un segnale digitale (A) rappresentativo di un dato da trasmettere (DATUM) mediante un driver con pre-enfasi, il guadagno di detto driver variando da un valore superiore ad un valore inferiore prestabiliti e viceversa, comprendente le operazioni di:

variare il guadagno di detto driver con pre-enfasi impostandolo a detto valore superiore in corrispondenza di ogni transitorio di commutazione di detto segnale (A) e riducendolo a detto valore inferiore quando detto transitorio è esaurito,

generare un segnale di uscita (OUT), su una linea di uscita di detto driver, amplificando detto segnale digitale (A) con detto driver con pre-enfasi,

caratterizzato dal fatto che detta variazione del guadagno è effettuata mediante le seguenti operazioni:

amplificare detto segnale digitale (A) con un primo guadagno (M) generando un segnale replica amplificata ( $M \cdot A$ );

ritardare detto segnale digitale (A) di un certo tempo (TBIT) prestabilito, generando un segnale replica ritardata (B);

amplificare detto segnale replica ritardata (B) con un secondo guadagno (N) generando un segnale replica ritardata e amplificata ( $N \cdot B$ );

generare detto segnale di uscita (OUT) come differenza tra detto segnale replica amplificata ( $M \cdot A$ ) e detto segnale replica ritardata e amplificata ( $N \cdot B$ ).

2. Il metodo della rivendicazione 1, in cui detto ritardo (TBIT) è pari

VA/ 2002 /A/ 0 0 5 0

ad un periodo di tempo corrispondente ad un bit di detto segnale digitale (A).

4 OTT. 2002

3. Il metodo della rivendicazione 1, in cui detto ritardo (TBIT) è una frazione di un periodo di tempo corrispondente ad un bit di detto segnale digitale (A).

4. Circuito di amplificazione con pre-enfasi di un segnale digitale (A) rappresentativo di un dato da trasmettere (DATUM), comprendente

un circuito di generazione di detto segnale digitale (A) in funzione di detto dato da trasmettere (DATUM),

un driver con pre-enfasi con guadagno variabile da un valore superiore o un valore inferiore prestabiliti e viceversa, ricevente in ingresso detto segnale digitale (A), e generante un segnale di uscita (OUT) amplificando detto segnale digitale (A) con un guadagno uguale a detto valore superiore in corrispondenza di ogni transitorio di commutazione di detto segnale (A) ed uguale a detto valore inferiore quando detto transitorio è esaurito,

caratterizzato dal fatto che

detto circuito di pilotaggio fornisce a detto driver anche un segnale replica ritardata (B) di un certo tempo (TBIT) prestabilito, di detto segnale digitale (A);

detto driver con pre-enfasi genera detto segnale di uscita (OUT) come differenza tra una replica amplificata ( $M \cdot A$ ) con un primo guadagno (M) di detto segnale digitale (A) ed una replica amplificata ( $N \cdot B$ ) con un secondo guadagno (N) di detto segnale replica ritardata (B).

5. Il circuito di amplificazione con pre-enfasi della rivendicazione



VA/ 2002 /A/ 0 0 5 0

4 OTT. 2002

4, in cui detto circuito di generazione comprende una coppia di rami circuitali identici ricevanti rispettivamente in ingresso detto dato (DATUM) ed una replica negata di esso, ciascun ramo avente

un flip-flop di tipo D temporizzato da un segnale di temporizzazione (CK) esternamente generato, ricevente in ingresso detto dato (DATUM) o la sua replica negata e generante detto segnale digitale (A) o una replica negata di esso (AN),

un circuito ritardatore di un tempo prestabilito (TBIT) di detto segnale digitale (A) o della sua replica negata (AN), generante detto segnale replica ritardata (B) o una replica negata di esso (BN);

detto driver con pre-enfasi comprende una coppia di celle LVDS standard prima e seconda con nodi di uscita in comune e genera detto segnale di uscita (OUT) come coppia differenziale di segnali (VO, VON) di uscita, detta prima cella LVDS essendo pilotata da detto segnale digitale (A) e della sua replica negata (AN), detta seconda cella LVDS essendo pilotata da detto segnale replica ritardata (B) e dalla replica negata di esso (BN), le correnti di polarizzazione di detta prima cella e di detta seconda cella essendo uguali al rapporto (M/N) tra detti guadagni primo (M) e secondo (N).

6. Il circuito di amplificazione con pre-enfasi della rivendicazione 5, in cui detto circuito ritardatore è costituito da un altro flip-flop di tipo D in cascata a detto primo flip-flop.

7. Il circuito di amplificazione con pre-enfasi della rivendicazione 5, in cui detto segnale di temporizzazione (CK) è un segnale di clock con cui è generato detto segnale digitale (A).





VA/ 2002 /A/ 0 0 5 0  
F 4 OTT. 2002

8. Il circuito di amplificazione con pre-enfasi della rivendicazione  
5, in cui detto segnale di temporizzazione (CK) ha frequenza multipla  
rispetto ad un segnale di clock con cui è generato detto segnale digitale (A).

XX

p.p. STMicroelectronics S.r.l.

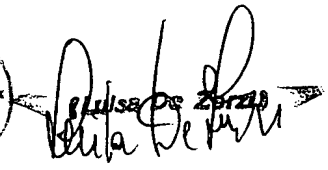
Il Mandatario

  
**Alberto PELLEGRÌ**  
N° Iscr. Albo 114 BM

(Società Italiana Brevetti S.p.A.)

BI341V



  
Giuseppe De Zorzi

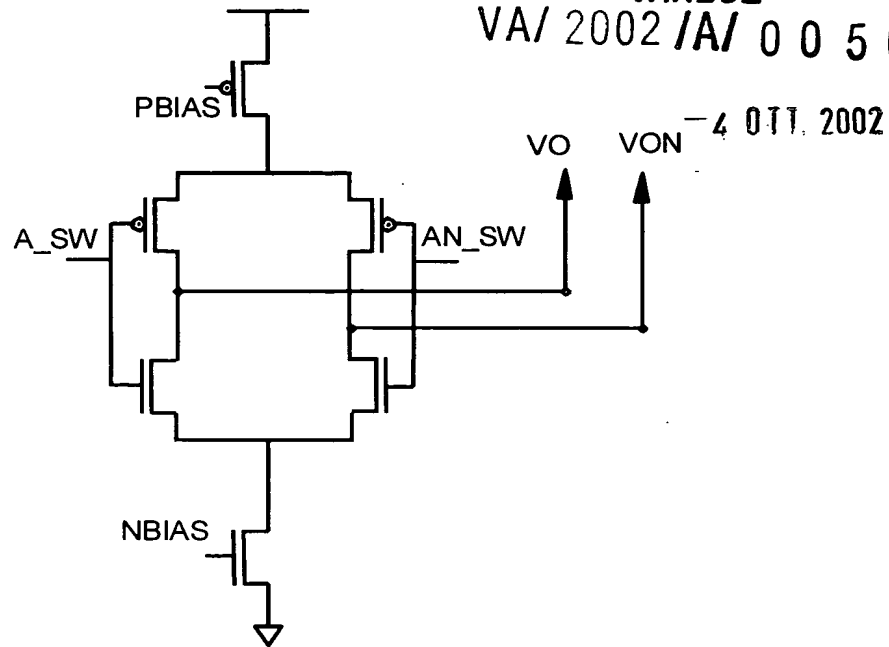


FIG. 1

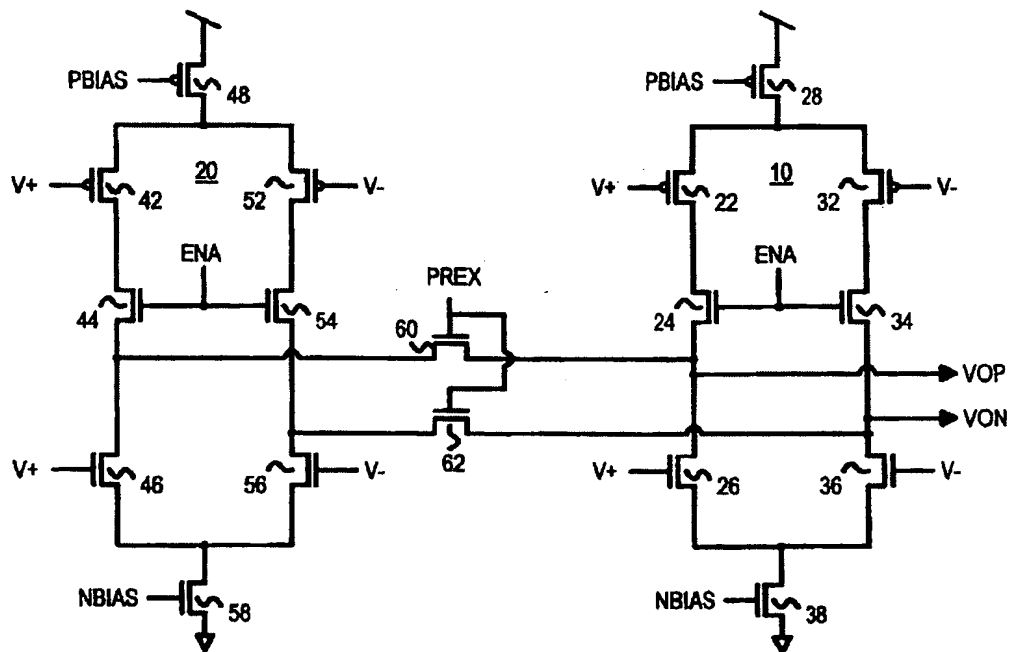


FIG. 2



*(Giulio De Zorzi)*

Alberto PELLEGRINI  
N° Iscr. Albo 114 BM

VA/ 2002 /A/ 0 0 5 0

4 OTT 2002

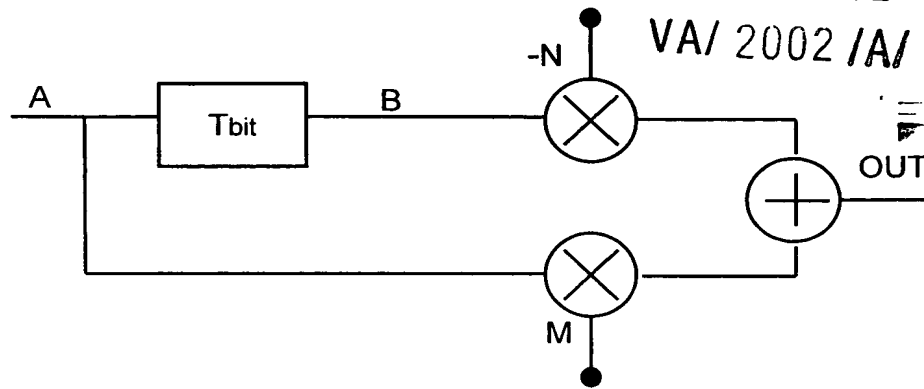


FIG. 3

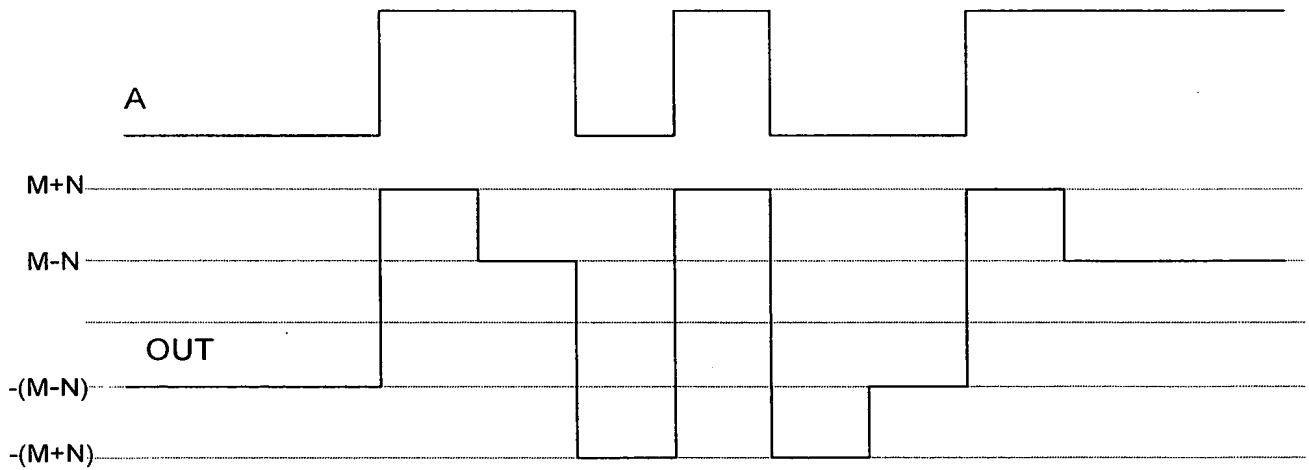


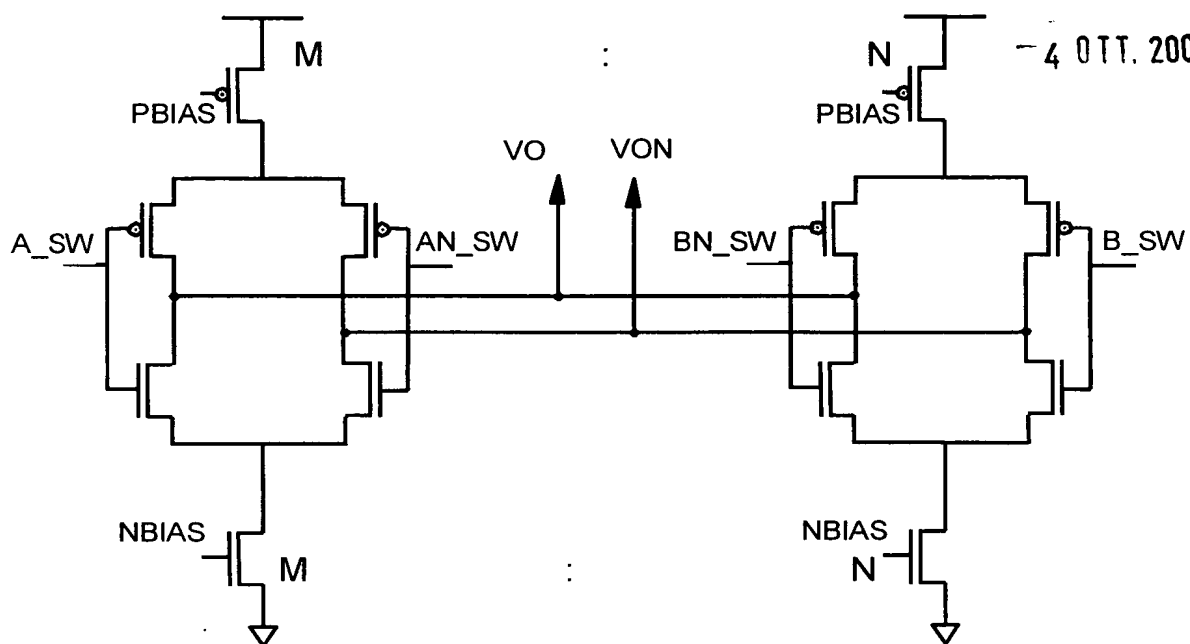
FIG. 4



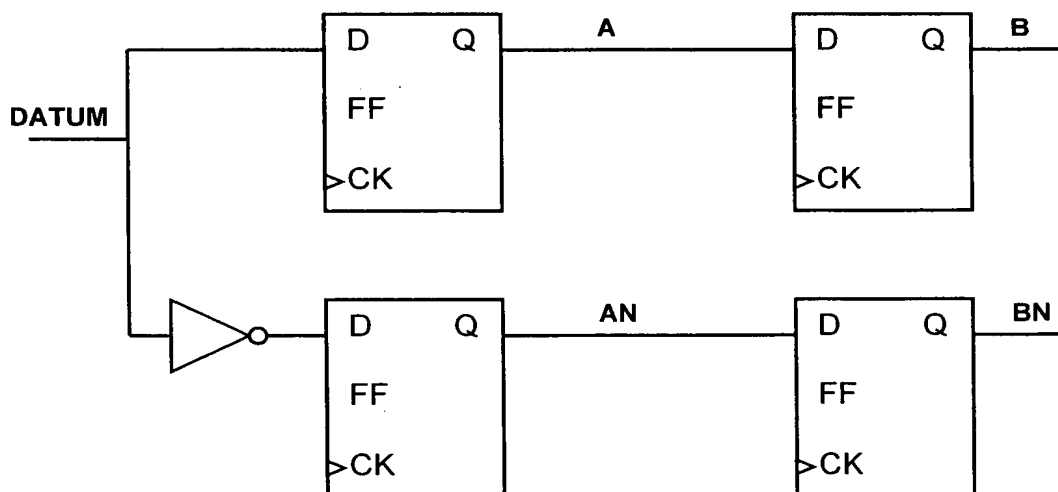
Alberto PELLEGRINI  
N° Iscr. Albo 114 BM



-4 OTT. 2002



**FIG. 5**



**FIG. 6**



*John G. ...*

  
Alberto PELLEGRINI  
N° Iscr. Albo 114 BM